

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242295
 (43)Date of publication of application : 11.09.1998

(51)Int.Cl. H01L 21/8238
 H01L 27/092
 H01L 21/8222
 H01L 27/06
 H03K 19/08

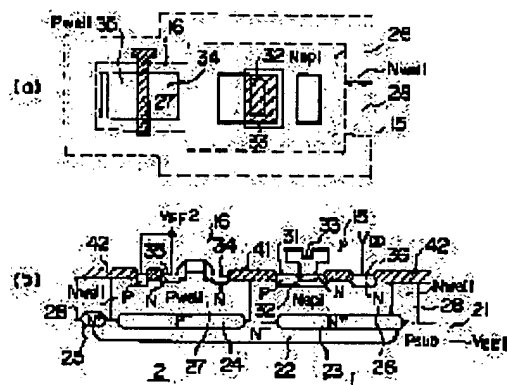
(21)Application number : 09-047878 (71)Applicant : NEC CORP
 (22)Date of filing : 03.03.1997 (72)Inventor : WAKABAYASHI MASARU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To raise the integration degree by providing collector regions of one conductivity type in bipolar regions and at least one element region of the opposite conductivity type adjacent to the collector regions in CMOS regions, and forming a common continuous buried layer of the one conductivity type at the bottoms of the element region in the CMOS regions and collector regions.

SOLUTION: A TTL circuit is composed of a bipolar device and CMOS device. A high voltage VDD is given to the collector of an NPN transistor 1 and ground potential i.e., intermediate voltage VEE2 is applied to the source of NMOS 2. The semiconductor device comprises a first N- type buried layer 22 formed at the bottoms of an NPN transistor region 15 and NMOS region 16, second N+ type buried layer 23 in this transistor 15, and third P+ type buried layer 24 in the NMOS region 16. The second layer 23 partly extends to the outside of the transistor region 15.



LEGAL STATUS

[Date of request for examination] 03.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3077742

[Date of registration] 16.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242295

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 C

27/092

H 0 3 K 19/08

A

21/8222

H 0 1 L 27/06

1 0 1 U

27/06

H 0 3 K 19/08

審査請求 有 請求項の数12 O L (全 11 頁)

(21) 出願番号

特願平9-47878

(22) 出願日

平成9年(1997) 3月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 若林 勝

東京都港区芝五丁目7番1号 日本電気株式会社内

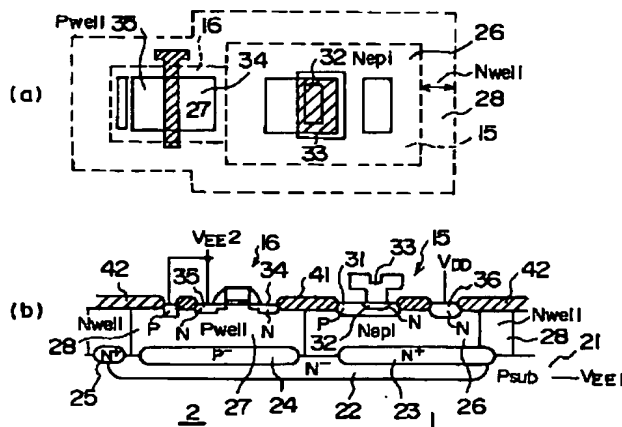
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 互いに隣接して配置されたバイポーラトランジスタとCMOSとを含む半導体装置において、両者間におけるノイズを最小限に抑えた状態で、両者間の絶縁領域を狭くできる半導体装置及びその製造方法を提供することである。

【解決手段】 バイポーラ領域と、これに隣接するCMOS領域とを有する一導電型の基板内に、バイポーラ領域からCMOS領域まで連続する逆導電型の第1の埋込層を設け、当該第1の埋込層上に、形成された逆導電型のエピ層中に、バイポーラトランジスタを形成する一方、第1の埋込層上に設けられた一導電型の領域にNMOSを形成し、且つ、当該一導電型の領域に隣接した逆導電型の領域にPMOSを形成する。この構成により、BiCMOSによって形成されたTTL回路が得られる。



【特許請求の範囲】

【請求項 1】 NチャンネルMOS及びPチャンネルMOSトランジスタによって構成されたCMOS領域と、少なくとも一つのバイポーラトランジスタを有するバイポーラ領域とを備えた半導体装置において、前記バイポーラ領域には、前記バイポーラトランジスタを構成する一導電型のコレクタ領域が設けられており、前記CMOS領域は、前記コレクタ領域に隣接すると共に、前記コレクタ領域とは逆導電型の少なくとも一つの素子領域とを備え、前記CMOS領域の素子領域と前記コレクタ領域との底部には、共通、且つ、連続した前記一導電型の第1の埋込層が形成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、前記コレクタ領域内の前記第1の埋込層内には、前記一導電型の第2の埋込層が設けられていることを特徴とする半導体装置。

【請求項 3】 請求項 1 において、前記CMOS領域内の前記第1の埋込層内には、前記逆導電型の第3の埋込層が設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 1 において、前記一導電型のコレクタ領域と前記逆導電型の素子領域とは、互いに接触していることを特徴とする半導体装置。

【請求項 5】 請求項 1 において、前記コレクタ領域及び前記素子領域の底部に形成された前記第1の埋込層は、前記逆導電型の基板内に形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 5 において、前記コレクタ領域内の前記第1の埋込層内には、前記一導電型の第2の埋込層が設けられており、且つ、前記前記CMOS領域内の前記第1の埋込層内には、前記逆導電型の第3の埋込層が設けられていることを特徴とする半導体装置。

【請求項 7】 請求項 6 において、前記コレクタ領域及び前記素子領域とは、互いに接触して、PN接合を形成しており、且つ、前記コレクタ領域及び前記素子領域は逆導電型のウェルによって囲まれていることを特徴とする半導体装置。

【請求項 8】 請求項 7 において、前記コレクタ領域、前記素子領域、及び前記基板には互いに異なる電圧が印加されることを特徴とする半導体装置。

【請求項 9】 請求項 1 において、前記CMOSの素子領域には、NチャンネルMOSトランジスタが形成され、他方、前記バイポーラ領域には、NPNトランジスタが形成されていることを特徴とする半導体装置。

【請求項 10】 NチャンネルMOS及びPチャンネルMOSトランジスタによって構成されたCMOS領域と、少なくとも一つのバイポーラトランジスタを有するバイポーラ領域とを備えた半導体装置を製造する方法において、前記CMOS領域及び前記バイポーラ領域に互に一導電型の第1の埋込層を逆導電型の基板中に形成する工程と、前記第1の埋込層上のバイポーラ領域に、前

記バイポーラトランジスタのコレクタ領域を形成する工程と、前記第1の埋込層上のCMOS領域に、前記NチャンネルMOS及びPチャンネルMOSトランジスタのいずれか一方を形成するための逆導電型の第1の素子領域を前記コレクタ領域に隣接して設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 において、前記CMOS領域の第1の素子領域に隣接して、一導電型の第2の素子領域を形成し、当該第2の素子領域に、前記NチャンネルMOS及びPチャンネルMOSトランジスタの他方を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 において、前記バイポーラ領域の第1の埋込層内に、一導電型の第2の埋込層を形成する工程と、前記第1の素子領域内の第1の埋込層内に逆導電型の第3の埋込層を形成する工程と、前記第2の素子領域の第1の埋込層内に、一導電型の第4の埋込層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタとCMOSデバイスとを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】一般に、この種の半導体装置は、Nチャンネルトランジスタ及びPチャンネルトランジスタとを組み合わせたCMOSデバイスと、高速で動作するバイポーラトランジスタとによって構成され、Bi-CMOS型の半導体装置と呼ばれている。このBi-CMOS型の半導体装置では、小面積で、しかも、比較的小さな電流でスイッチング動作するCMOSデバイスの特徴と、高速動作可能なバイポーラトランジスタの特徴を有効に生かすことができる。

【0003】このような半導体装置は、TTL (Transistor-Transistor Logic) 回路、及び、ECL (Emitter-Coupled Logic) 回路を含む回路として、集積化されることがある。このような半導体装置では、TTL回路は、バイポーラトランジスタのみで構成されるものと、CMOSデバイスとバイポーラトランジスタとの組合せにより構成されるものがある。一般に、後者をBi-CMOS型TTL回路という。一方、ECL回路はバイポーラトランジスタによって構成されることがある。

【0004】通常、TTL回路とECL回路とを含む半導体装置には、互いに異なる電源電圧が印加されている。例えば、TTL回路の2本の電源線には、それぞれ3.3V及び接地電位が与えられ、他方、ECL回路の2本の電源線には、3.3Vの電圧及び-2Vの電圧が印加される場合がある。この場合、3.3Vの電源線を

TTL及びECL回路で共通に使用し、他の接地電位及び-2Vの電源線をTTL及びECL回路に対して個別に配置されている。

【0005】また、TTL回路及びECL回路を含む半導体装置をチップ上に集積化して配列する場合、TTL回路と、ECL回路には、互いに異なる電源電圧が供給されているから、TTL回路とECL回路とは、電気的な絶縁されていることが必要である。また、TTL回路をCMOSデバイスとバイポーラトランジスタの組合わせによって構成したことによって、両デバイス間も、相互に電気的に絶縁されていることが必要である。

【0006】TTL回路及びECL回路との間の電気的な絶縁が不完全な場合、或いは、TTL回路内のCMOSデバイスとバイポーラトランジスタとの間の電気的な絶縁が不完全な場合、一方の回路或いはデバイスで発生したノイズが、他方の回路或いはデバイスの動作に悪影響を及ぼしてしまう。

【0007】いずれにしても、CMOSデバイス及びバイポーラトランジスタを含む半導体集積回路では、一導電型の半導体基板上に形成されたエピタキシャル層に、CMOSデバイスを形成するCMOS領域と、バイポーラデバイスを形成するバイポーラ領域とが、相互に隣接して配置されている。

【0008】また、バイポーラ領域と、CMOS領域とは、電気的に完全に絶縁されている必要があるため、互いに隣接するCMOS領域とバイポーラ領域との間には、両領域を相互に絶縁するためのPウェル領域及びNウェル領域が設けられており、これらPウェル領域及びNウェル領域によって、いずれか一方の領域を島状に絶縁分離する構成が採用されている。これらPウェル領域及びNウェル領域との組合わせは、以下絶縁領域と呼ばれる。

【0009】

【発明が解決しようとする課題】このように、CMOS領域と、バイポーラ領域とを平面的に設けられた絶縁領域によって絶縁した場合、Pウェル及びNウェルとにより、二重に囲い込む構造のため、Bi-CMOS全体の平面的な面積が拡大してしまい、集積化が低くなってしまふ。

【0010】ここで、特開平3-80565号公報（以下、引用例1と呼ぶ）には、PチャンネルMOSトランジスタ（以下、単に、NMOSと呼ぶ）と、NPNバイポーラトランジスタ（以下、単に、NPNトランジスタ）とをPウェルを介して隣接させた構成を有する半導体装置が開示されているおり、NMOSとNPNトランジスタとは、互いにPウェルによって平面的に絶縁されている。また、引用例1では、NMOS領域及びNPNトランジスタの下部に、低濃度のN型埋込層及び高濃度の埋込層からなる2層の埋込層を設け、これによって、NPNトランジスタにおける埋込層における寄生容量を

減少させ、信号伝達の遅延時間を短縮できる半導体装置が示されている。

【0011】しかしながら、引用例1は、NMOS領域とNPNトランジスタの間には、Pウェルが設けられており、このPウェルによって、NMOS領域とNPNトランジスタを絶縁分離している。したがって、この構成によっても、Bi-CMOS半導体装置の面積を十分に縮小することはできない。

【0012】また、特開昭62-174965号公報（以下、引用例2と呼ぶ）には、Bi-CMOS半導体装置によって構成されたインバータ回路が開示されている。引用例2には、P型基板上に、N⁺型埋込層を介して設けられたN型エピタキシャル層に、PMOS及びNPNトランジスタを形成すると共に、P型基板上に、P⁺型埋込層を介して設けられたP形領域に、PNPトランジスタ及びNMOSとを形成した構成が示されている。この構成では、N型エピタキシャル層領域及びP形領域に、MOS素子とバイポーラ素子とを混在させることができ、且つ、各領域内に配置されたMOS素子とバイポーラ素子とは、ドレイン領域とベース領域とを共用でき、これによって、Bi-CMOS半導体装置の集積度を上げることができる。

【0013】しかしながら、引用例2に示されたBi-CMOS半導体装置は、特定の回路、即ち、インバータ回路にだけ適用できる構成である。CMOSデバイスとバイポーラデバイスに、互いに異なる電源電圧が与えられている場合には、適用することが難しい。

【0014】更に、特公平7-44231号公報（以下、引用例3と呼ぶ）には、Bi-CMOS半導体集積回路として、CMOSデバイスから発生するノイズがバイポーラデバイスに影響を与えるのを防止するために、CMOSデバイス領域を島吊りする構成が開示されている。具体的に言えば、引用例3は、CMOSデバイス領域と、バイポーラデバイス領域との間に、P形基板に達するPウェルを設け、これにより、両デバイス領域を絶縁することを開示している。

【0015】しかしながら、引用例3の構成では、CMOSデバイス及びバイポーラデバイスを相互に絶縁分離するために、Pウェル及びNウェルを設ける領域が必要となるため、前述した従来例と同様に、集積度の点で限界があった。

【0016】本発明の目的は、バイポーラデバイスとCMOSデバイスとを含み、単一の電源電圧で動作するTTL回路の集積度を上げることができる半導体装置を提供することである。

【0017】本発明の他の目的は、互いに異なる電源電圧が与えられるバイポーラデバイスとMOSデバイスを備えたBi-CMOS半導体装置において、両デバイス間のノイズを防止できる半導体装置を提供することである。

【0018】本発明の他の目的は、面積を縮小でき、集積度を上昇させることができるBi-CMOS半導体装置を提供することである。

【0019】本発明の更に他の発明は、同一電位が与えられるMOS素子と、バイポーラ素子との間の分離間隔を縮小できるBi-CMOS半導体装置を提供することである。

【0020】本発明のより他の目的は、バイポーラ素子とCMOS素子とを含む種々の論理回路の組合わせに適用できる半導体装置を提供することである。

【0021】

【課題を解決するための手段】本発明によれば、NチャンネルMOS及びPチャンネルMOSトランジスタによって構成されたCMOS領域と、少なくとも一つのバイポーラトランジスタを有するバイポーラ領域とを備えた半導体装置において、前記バイポーラ領域には、前記バイポーラトランジスタを構成する一導電型のコレクタ領域が設けられており、前記CMOS領域は、前記コレクタ領域に隣接すると共に、前記コレクタ領域とは逆導電型の少なくとも一つの素子領域とを備え、前記CMOS領域の素子領域と前記コレクタ領域との底部には、共通、且つ、連続した前記一導電型の埋込層が形成されている半導体装置が得られる。

【0022】

【発明の実施の形態】以下、図面を参照して、本発明の一実施の形態に係る半導体装置の構成を説明する。

【0023】図1を参照すると、本発明に係る半導体装置における電源電圧の関係を説明するためのブロック図が示されており、図示されているように、本発明に係る半導体装置は、TTL回路と、ECL回路とを備えている。ここで、ECL回路には、高い電源電圧 V_{DD} （以下、高電圧と呼ぶ）と、低い電源電圧 V_{EE1} （以下、低電圧と呼ぶ）が与えられており、他方、TTL回路には、高電圧 V_{DD} と低電圧 V_{EE1} との中間の電圧 V_{EE2} （以下、中間電圧と呼ぶ）が与えられている。

【0024】具体的には、例えば、高電圧 V_{DD} 、低電圧 V_{EE1} 、及び、中間電圧 V_{EE2} は、3.3、0、及び、-2.0ボルトである。また、高電圧 V_{DD} 、低電圧 V_{EE1} 、及び、中間電圧 V_{EE2} としては、それぞれ0、-3.3、及び、-4.5ボルトが印加される場合もあるし、或いは、それぞれ0、-3.3、及び、-5.2ボルトが印加される場合もある。

【0025】上記したように、TTL回路とECL回路とには、異なる電源電圧が印加されている。

【0026】ここで、ECL回路は、バイポーラデバイスによって構成され、他方、TTL回路は、CMOSデバイスとバイポーラデバイスとの組合わせによって構成される。

【0027】以下では、TTL回路をバイポーラデバイスとCMOSデバイスとの組合わせによって構成した場

合について説明する。

【0028】図2(a)及び(b)を参照すると、本発明に係る半導体装置の原理を説明するための平面図及び断面図が示されている。ここでは、バイポーラデバイスと、CMOSデバイスとによって構成された半導体装置が示されており、ここでは、これらバイポーラデバイスとCMOSデバイスとにより、図3に示すようなTTL回路を構成した場合が示されている。

【0029】図3に示されたTTL回路は、入力端子INと出力端子OUTとを備え、且つ、3.3Vの電源電圧 V_{DD} と接地電位GND(0V)との間に接続されている。また、TTL回路は、NPNトランジスタ1、NMOS2、PMOS3、及び、NMOS4とによって構成されている。この内、NMOS2、PMOS3、及び、NMOS4のゲートは、入力端子INに共通に接続されると共に、PMOS3のドレイン及びNMOS4のドレインは、NPNトランジスタ1のベースに共通に接続されている。また、PMOS3のソースは、NPNトランジスタ1のコレクタと共通に接続されており、NPNトランジスタ1のエミッタと、NMOS2のドレインは出力端子OUTに共通に接続されている。更に、NMOS2及びNMOS4のソースには、接地電位が与えられている。図3に示されたTTL回路は、NPNトランジスタ1に隣接してNMOS2及び4とを有している。

【0030】図2(a)及び(b)では、図3に示されたNPNトランジスタ1とNMOS2とが集積回路化された場合の配置関係が示されている。尚、NPNトランジスタ1とNMOS4との配置関係も、図2と同様であるが、ここでは、NPNトランジスタ1とNMOS2との配置関係が示されているものとして説明する。

【0031】図2(a)及び(b)において、NPNトランジスタ1は、NPNトランジスタ領域15に形成されており、他方、CMOSデバイスの一部を構成するNMOS2は、NMOS領域16に設けられており、これら両領域15及び16の間には、絶縁用のウェルは設けられていない。したがって、両領域15及び16間の平面的な間隔を著しく狭くすることができる。

【0032】また、この例の場合、図3に示すように、NPNトランジスタ1のコレクタには、高電圧 V_{DD} が与えられ、NMOS2のソース側には、接地電位、即ち、中間電圧 $EE2$ が与えられている。

【0033】図2(b)に示すように、図示された半導体装置は、P型基板21と、当該P型基板21内のNPNトランジスタ領域15及びNMOS領域16の両方に跨がって、両領域の底部に形成された低濃度N⁻型の第1の埋込層22、第1の埋込層22内のNPNトランジスタ領域15に形成されたN⁺型の第2の埋込層23、及び、第1の埋込層22内のNMOS領域16に形成されたP⁺型の第3の埋込層24とを備えている。このうち、第2の埋込層23は、一部NPNトランジスタ領域

15の外側にも延在している。

【0034】一方、第3の埋込層24の外側には、N⁺型の第4の埋込層25が、第1の埋込層22と部分的に重なるように、形成されている。

【0035】上記したP型基板21、第1～第4の埋込層22乃至25上には、N型エピタキシャル成長層（以下、N型エピ層と呼ぶ）26が形成されている。また、N型エピ層26内のNMOS領域16には、Pウェル27が形成されており、且つ、これらN型エピ層26及びPウェル27の周辺は、図2（a）に示すように、平面的にはNウェル28によって囲まれている。この例では、Nウェル28は図2（a）に示すように、第1の埋込層22と一部重なり、且つ、その外側に位置付けられる部分を有している。この結果、第1の埋込層22はNウェル28内で終端されていることになる。

【0036】NPNトランジスタ領域15内には、P型のベース領域31及びN型のエミッタ領域32が設けられており、この例では、エミッタ領域32にエミッタ電極33が設けられている。この例の場合、エミッタ電極33はポリシリコンによって形成されている。

【0037】他方、NMOS領域16のPウェル27の表面には、N型のドレイン領域34、N型のソース領域35、及びP型のウェル電極領域37が形成されている。また、NPNトランジスタ領域15のN型エピ層26の表面には、N⁺型のコレクタ電極領域36が設けられており、これらN型エピ層26及びN⁺型の電極領域36はNPNトランジスタのコレクタ領域を形成している。

【0038】この構成において、N型のエピ層26及びPウェル27によって形成されるPN接合部分は絶縁分離膜41によって覆われており、且つ、他のNウェル28等の表面も、フィールド酸化膜42によって覆われている。

【0039】図示された例の場合、ベース領域31とドレイン領域34との間の絶縁分離膜41の幅は、従来の1/3程度に狭くすることができ、Pウェル及びNウェル等で分離する引用例3の場合に比較して、著しく狭くできる。

【0040】因みに、引用例3の場合、一般には10μm以上の絶縁分離領域幅が要求されるから、上記した本発明に係る半導体装置は、集積度を引用例3に比較して大幅に向上させることができる。

【0041】また、図2に示された半導体装置において、NPNトランジスタのコレクタ領域に高電圧V_{DD}が与えられ、NMOSのソース電極には、中間電圧V_{EE2}、即ち、接地電位が与えられているものとし、且つ、P型基板21にも、接地電位が印加されているものとする。

【0042】この状態では、NPNトランジスタ1は、第1の埋込層22とP型基板21とによって形成された

PN接合によって、P型基板21から完全に分離されており、他方、NMOSもP型基板21から完全に分離されている。したがって、接地電位にあるP型基板21からのノイズを遮断することができる。

【0043】他方、NPNトランジスタ1のコレクタ電極領域36は、エピ層26、第2の埋込層23、及び、第1の埋込層22と同一の導電型であるから、コレクタ電極領域36は、第1の埋込層22と電気的には接続された関係にあり、電源電圧V_{DD}と同一の電位が第1の埋込層22に印加されていることになる。この状態で、NMOS2のソース領域35が、図3に示されるように接地され、且つ、コレクタ電極33とNMOS2のドレイン領域34とが、電気的に共通に接続されると、NMOS2からのノイズが、NPNトランジスタ1に加わるおそれがある。

【0044】しかしながら、図3に示されたTTL回路のNPNトランジスタ1は、デジタル的に動作し、ノイズに対して敏感なデバイス特性は要求されない。したがって、同じTTL回路を構成するバイポーラデバイスは、同じTTL回路を構成するCMOSからのノイズの影響を實質上無視することができる。

【0045】図2（a）及び（b）に示されように、NPNトランジスタ1とNMOS2との間には、絶縁領域としてのPウェル及びNウェルを設けない構成をとることによって、P型基板21を接地した場合にも、P型基板21からのノイズを防止できると共に、バイポーラデバイスをデジタル動作させることにより、論理部を構成するCMOSからノイズの影響を實質上なくすることができる。したがって、TTL回路に必要な面積を大幅に縮小できるという利点がある。

【0046】図4を参照すると、本発明の他の実施の形態に係る半導体装置によって構成されるTTL回路51およびECL回路52の等価回路が示されている。図4に示されたTTL回路51は、図3と同様に、入力端子IN、出力端子OUT、NPNトランジスタ1、NMOS2、PMOS3、及び、NMOS4とを備え、これらの素子は、3.3Vの電源電圧V_{DD}が印加される第1の電源端子（V_{DD}端子）及び第2の電源端子（接地（0V）端子）の間に接続されている。

【0047】他方、ECL回路52は、電源電圧V_{DD}が与えられる第1の電源端子、第2の電源端子、及び、-2Vの電圧が与えられる第3の電源端子とを備え、且つ、互いにエミッタを共通に接続されたNPNトランジスタ5及び6、両トランジスタ5及び6のエミッタに、コレクタを接続されたNPNトランジスタ7、及び、NPNトランジスタ5及び6のコレクタにそれぞれ接続された出力用トランジスタ8及び9とを有している。出力用トランジスタ8及び9のエミッタは、それぞれ抵抗を介して第2の電源端子に接続されており、且つ、NPNトランジスタ7のエミッタは第3の電源端子に、接続さ

れている。

【0048】図4に示された等価回路を半導体集積回路によって構成する場合、回路配置的にみれば、TTL回路51のNPNトランジスタ1は、当該TTL回路51のNMOS2またはNMOS4に隣接して配置され、ECL回路52のNPNトランジスタ5、6、及び7のいずれか一つに隣接して配置される。また、TTL回路51のNMOS2または4は、PMOS4に隣接して設けられる。

【0049】このことを考慮すると、回路配置的にみれば、ECL回路52のNPNトランジスタ5、6、及び7は等価な位置にあり、また、TTL回路51のNMOS2及び4も、回路配置的には等価な位置にある。この例では、TTL回路51のNMOS4、及び、ECL回路52のNPNトランジスタ7が、それぞれTTL回路51のNPNトランジスタ1に隣接して配置されるものとし、且つ、TTL回路51のNMOS4には、PMOS3が隣接しているものとする。

【0050】図5を参照すると、上記したNPNトランジスタ1、NMOS4、PMOS3、及び、NPNトランジスタ7の配置及び接続関係が示されている。図5において、P型基板21のNPNトランジスタ1、NMOS4、及び、PMOS3の領域に互って、低濃度N⁻の第1の埋込層(NBL2)22が形成されている。ここで、図示された例では、第1の埋込層22の右側端部は、NPNトランジスタ7の領域に達していない。

【0051】NPNトランジスタ1及びPMOS3の領域内に位置する第1の埋込層22には、それぞれN⁺型の第2の埋込層(NBL2)23が設けられており、第2の埋込層23の一端部は、第1の埋込層22の端部と一致している。この時、NPNトランジスタ7の領域にも、第2の埋込層(NBL2)23が形成されている。また、NMOS4の第1埋込層内には、P⁺型の第3の埋込層24が設けられており、且つ、この第3の埋込層24の形成と同時に、NPNトランジスタ7の領域をも囲むように、第4の埋込層25が形成されている。

【0052】上記した第1乃至第4の埋込層22~25の形成後、P型基板21上には、N型エピタキシャル成長層(以下、N型エピ層と呼ぶ)26が設けられている。NPNトランジスタ7領域内のNPNトランジスタ1との境界部分のN型エピ層26には、Pウェル50が設けられると同時に、図2(b)と同様に、NMOS4のエピ層26にも、Pウェル27が形成されている。更に、Pウェル27に隣接したPMOS3の領域には、Nウェル28が設けられている。

【0053】更に、NMOS4のPウェル27には、N型のソース(S)及びドレイン(D)領域が形成されると共にゲート(G)領域が設けられ、更に、第2の電源端子(接地端子)に接続されるPウェルが形成されている。他方、PMOS3の領域には、N型のドレイン

(D)及びソース(S)領域が設けられると共にゲート(G)領域が形成されており、更に、第1の電源端子(V_{DD}端子)に接続されるべきNウェルが設けられている。

【0054】一方、NPNトランジスタ1の領域には、P型のベース領域(B)、N型のエミッタ領域が設けられており、且つ、N型エピ層26内には、N⁺型のコレクタ(C)のコンタクト領域が形成されている。また、エミッタ領域には、エミッタ電極が設けられており、これによって、NPNトランジスタ1のエミッタ(E)が形成されている。

【0055】図示されているように、NMOS4及びPMOS3のドレイン(D)はNPNトランジスタ1のベース(B)に接続され、且つ、NMOS4及びPMOS3のゲート(G)は共通に接続されて、TTL回路51の入力端子INに接続されている。更に、PMOS3のソース(S)はそのNウェルと共通に接続され、NPNトランジスタ1のコレクタ(C)と共に、第1の電源端子(V_{DD}端子)に連結されている。また、NMOS4のソース(S)はPウェルと共に、第2の電源端子(接地端子)GND2に結合されている。

【0056】ECL回路52を構成するNPNトランジスタ7のエミッタ(E)とPウェル50とは、第3の電源端子(-2V)に接続され、図4の回路が構成されていることが分かる。

【0057】図5において、P型基板21は、電氣的に、第3の電源端子に接続され、-2Vの電圧が印加されている。また、NPNトランジスタ7は、第2の埋込層23及びN型エピ層26によって、Pウェル50、埋込層25が電氣的に接続されたP型基板21から隔離された領域に形成されているから、NPNトランジスタ7はP型基板21から完全に絶縁された状態にあり、当該NPNトランジスタ7からのノイズは生じない。同様に、NPNトランジスタ1も、第1及び第2の埋込層22及び23によって、-2Vの電圧が印加されるP型基板21から、電氣的に絶縁されている。

【0058】図5からも明らかなように、NPNトランジスタ1とNMOS4との間には、Pウェル及びNウェルのような絶縁領域が形成されておらず、NPNトランジスタ1のコレクタ(C)領域とNMOS4のPウェル27とは、直接接合する形で隣接して設けられている。

【0059】しかしながら、図示されたNPNトランジスタ1のコレクタ(C)領域には、第1の電源端子から3.3Vの電圧が印加されており、NPNトランジスタ1に隣接したNMOS4のPウェルには第2の電源端子から接地電位が与えられているから、NPNトランジスタ1とNMOS4との間には、ノイズは生じない。更に、P型基板21とNMOS4のPウェル27との間には、第1の埋込層22が設けられているから、P型基板21とNMOS4との間のノイズも生じない。

【0060】次に、PMOS3のNウェル28と、NPNトランジスタ1のコレクタ(C)領域とは、第1及び第2の埋込層22及び23を介して、電氣的に接続されており、且つ、PMOS3のNウェル28と、NPNトランジスタ1のコレクタ(C)領域には、3.3Vの電圧が印加されている。

【0061】この状態では、PMOS3からのノイズがNPNトランジスタ1に回り込むことがある。しかし、TTL回路51を構成する図5に示されたNPNトランジスタ1はデジタル的に動作しているため、ノイズに対して敏感な特性は要求されない。したがって、同じTTL回路51を構成するCMOSからのノイズの影響は実質上、無視できる。

【0062】次に、図5に示された半導体装置の製造方法を図6乃至図15を参照して工程順に説明する。

【0063】まず、図6に示すように、P型基板21を用意し、その表面を900～1000℃の温度で酸化して、30～50nmの厚さを有する酸化膜61を形成する。続いて、当該酸化膜61を介して、リン(P)を $1E13 \sim 1E14/cm^2$ のドーズ量でイオン注入し、1100～1300℃の温度で、熱処理を行い、N型の第1の埋込層22を形成する。次に、砒素(As)を $1E15 \sim 1E16/cm^2$ のドーズ量でイオン注入し、1000～1100℃の温度で熱処理を行い、第1の埋込層22より浅いN⁺型の第2の埋込層23を形成する。更に、ボロン(B)を $1E13 \sim 1E14/cm^2$ のドーズ量でイオン注入し、1000～1100℃の熱処理を行い、第1の埋込層22より浅いP⁺型の第3の埋込層24を形成する。第3の埋込層24は、図6に示すように、第1の埋込層21内だけでなく、第2の埋込層23の周囲にも形成される。

【0064】次に、マスクとなった酸化膜61を除去した後、気相成長法によりP型基板21及び埋込層上の全面にN型エピ層26を形成する。

【0065】次に、図7に示すように、N型エピ層26の表面を900～1000℃の温度で酸化して、30～50nmの厚さを有する酸化膜62を形成する。この状態で、酸化膜62を介して、ボロン(B)を $5E12 \sim 1E13/cm^2$ のドーズ量でイオン注入し、100～1100℃の温度で熱処理することにより、P⁺型の第3の埋込層24及び第4の埋込層25に達するPウェル(PW)27及び50をそれぞれ形成する。

【0066】更に、リン(P)を $5E12 \sim 1E13/cm^2$ のドーズ量でイオン注入し、1000～1100℃の温度で熱処理を行うことにより、N⁺型の第2の埋込層23に達するNウェル(NW)28を形成する。Nウェル28及びPウェル27、50を形成されない領域には、N型エピ層26が残存している。

【0067】図7のイオン注入後、酸化膜62を除去して、図8に示すように、再び、表面を900～1000

℃の温度で酸化して、30～50nmの厚さの酸化膜63を形成する。続いて、CVD法により、200～300nmの厚さの窒化膜を被着した後、フォトエッチングを行い、バイポーラトランジスタ1及び7、CMOS3及び4(図5)の素子形成領域上に、窒化膜64を残す。

【0068】図8に示す状態で、当該窒化膜64を耐酸化用マスクとして表面上を選択的に900～1000℃の温度で酸化して、400～600nmの厚さを有するフィールド酸化膜を形成した後、マスクとなった窒化膜64及び酸化膜63を除去して、図9に示すように、表面上に、フィールド酸化膜65だけを残す。

【0069】図10に示すように、再び、表面を900～1000℃の温度で酸化して、30～50nmの厚さの酸化膜66を形成する。続いて、酸化膜66を介して、リン(P)を $5E15 \sim 1E16/cm^2$ のドーズ量でイオン注入し、900～1000℃の温度で熱処理を行い、NPNトランジスタ1のコレクタ引出領域となるN⁺型拡散層67を形成する。この例では、NPNトランジスタ7の領域にも、N⁺型拡散層67が形成されている。この状態で、酸化膜66は除去される。

【0070】図11に示すように、再び表面を750～850℃の温度で酸化して、10～20nmの厚さのゲート酸化膜となる酸化膜68を形成する。当該酸化膜68上に、CVD法により、100～200nmの厚さのポリシリコン層69と、スパッタ法により、100～200nmの厚さのタングステンシリサイド層70を形成する。図示された例の場合、ポリシリコン層69には、リン(P)等の不純物が拡散されているものとする。

【0071】次に、タングステンシリサイド層70、ポリシリコン層69、及び、酸化膜68をフォトエッチングにより、選択的に除去し、図12に示すように、酸化膜68及びゲート電極71を形成する。この場合、NMOS4及びPMOS3の領域上の酸化膜68は、除去されずに残されている。この状態で、ゲート電極71をマスクとして、絶縁膜68を介してNMOS4の領域に、選択的にリン(P)を $1E13 \sim 1E14/cm^2$ のドーズ量でイオンを注入し、NMOS4のN型のソース領域72、及び、ドレイン領域73を形成する。次に、ボロン(B)を $1E13 \sim 1E14/cm^2$ のドーズ量でイオン注入して、PMOS3の領域に、P型のソース領域74及びドレイン領域75を形成する。続いて、800～900℃の温度で、熱処理を行う。以後、表面にCVD法により、20～30nmの厚さの高温酸化膜(HTO膜)76を形成する。

【0072】次に、全面を異方性ドライエッチングを行い、ゲート電極71の側面に側壁(サイドウォール)絶縁膜77を形成する。更に、表面にCVD法により、20～30nmの厚さの酸化膜78を形成する。この状態で、ゲート電極71及び側壁絶縁膜77とをマスクとし

て、酸化膜78を介して、NMOS4の領域のソース領域72及びドレイン領域73に選択的に砒素(As)を $1E15 \sim 1E16 / cm^2$ のドーズ量でイオン注入する。一方、PMOS3の領域のソース領域74及び75と、バイポーラトランジスタ1及び7の外部ベース領域とには、選択的にボロン(B)が $1E15 \sim 1E16 / cm^2$ のドーズ量でイオン注入される。また、バイポーラトランジスタ1及び7の内部(真性)ベース領域には、選択的にボロン(B)が $1E13 \sim 1E14 / cm^2$ のドーズ量でイオン注入される。

【0073】続いて、 $800 \sim 900^\circ C$ の温度で熱処理を行い、NMOS4のソース、ドレイン領域及びPMOS3のウェル引出電極となる N^+ 型拡散層79と、PMOS3のソース、ドレイン領域及びNMOS4のウェル引出電極となる P^+ 型拡散層80と、バイポーラトランジスタの外部ベース領域となる P^+ 型拡散層81と、バイポーラトランジスタの内部ベース領域となる P^- 型拡散層82を形成する。以後、表面にCVD法により、 $200 \sim 300 nm$ の高温酸化膜(HTO膜)83を形成して、図13の構造を得る。

【0074】更に、図14に示すように、高温酸化膜(HTO膜)83をフォトエッチングすることにより、開口部84を設け、バイポーラトランジスタ1及び7の内部ベース領域(82)の一部を露出させる。続いて、表面にCVD法により、 $200 \sim 300 nm$ の厚さのポリシリコン層85を形成する。このポリシリコン層85の全面に、砒素(As)を $1E15 \sim 1E16 / cm^2$ のドーズ量でイオン注入する。更に、 $800 \sim 900^\circ C$ の温度で熱処理を行い、バイポーラトランジスタ1及び7のエミッタ領域となる N^+ 型拡散層86を形成する。

【0075】続いて、選択的に、ポリシリコン層85のフォトエッチングを行い、図15に示すように、バイポーラトランジスタ1及び7のエミッタ引出部87を形成する。この状態で、露出した表面に、CVD法により、 $100 \sim 200 nm$ の厚さの酸化膜88と、 $0.8 \sim 1.2 \mu m$ の厚さの層間絶縁膜となるBPSG膜89を形成する。次に、酸化膜78、高温酸化膜83、酸化膜88、及びBPSG膜89をフォトエッチングして、開口部90を形成する。最後に、スパッタ法により表面に $0.5 \sim 1.0 \mu m$ の厚さのアルミニウム層を形成して、フォトエッチングを行うことにより、アルミニウム電極91を形成する。

【0076】上記した工程により、図5に示された半導体装置と同様な構造を有する半導体装置を製造できる。

【0077】図4、図5、及び図15に示された半導体装置では、いずれも、TTL回路51を構成するバイポーラトランジスタとCMOSとを N^- 型の第1の埋込層22の領域内に形成できると共に、バイポーラトランジスタとCMOSの間の絶縁領域を極めて狭くすることによって、TTL回路51に要求される面積を縮小でき

る。

【0078】以上説明した実施の形態では、高電源電圧、低電源電圧、及び、中間電源電圧を印加する2つの論理回路の組合わせについて説明したが、本発明は、何等、これに限定されることなく、2つの論理回路において、例えば、共通の接地電位が印加される場合にも適用できる。この場合にも、第1の埋込層22を基板中に設けることにより、2つの論理回路間を互いに絶縁でき、両者間におけるノイズの回り込みを防止できる。更に、

10 上記した実施の形態では、TTL回路とECL回路との組合わせについて説明したが、本発明は、TTL回路とGTL回路との組合わせ、GTL(Gunning Transistor Logic)回路とECL回路との組合わせ等にも同様に適用できる。

【0079】

【発明の効果】以上述べたことから明らかな通り、本発明では、2つの論理回路間におけるノイズの影響を最小限に止めた状態で、バイポーラトランジスタとMOSとの間の絶縁領域を極めて狭くできるため、バイポーラトランジスタとMOSとを含む半導体装置の集積度を高くできると言う利点がある。

【図面の簡単な説明】

【図1】本発明を適用できる論理回路の一例を説明するためのブロック図である。

【図2】(a)は本発明の一実施の形態に係る半導体装置の平面図である。(b)は図2(a)に示した半導体装置を説明するための断面図である。

【図3】本発明を適用できるTTL回路の構成を示す図である。

30 【図4】本発明の他の実施の形態に係る半導体装置の構成を示す回路図である。

【図5】図4に示された半導体装置の配列関係を説明するための断面図である。

【図6】図5に示された半導体装置の製造方法の一工程を説明するための断面図である。

【図7】図5に示された半導体装置の製造方法の他の工程を説明するための断面図である。

40 【図8】図5に示された半導体装置を製造する工程の内、図7の工程以後に行われる工程を説明するための断面図である。

【図9】図5に示された半導体装置を製造する工程の内、図8の次に行われる工程を説明するための断面図である。

【図10】図5に示された半導体装置を製造する工程の内、図9に示された工程の次に行われる工程を説明するための断面図である。

【図11】図5に示された半導体装置を製造する工程の内、図10に示された工程の次に行われる工程を説明するための断面図である。

50 【図12】図5に示された半導体装置を製造する工程の

内、図11に示された工程の次に行われる工程を説明するための断面図である。

【図13】図5に示された半導体装置を製造する工程の内、図12に示された工程の次に行われる工程を説明するための断面図である。

【図14】図5に示された半導体装置を製造する工程の内、図13に示された工程の次に行われる工程を説明するための断面図である。

【図15】図5に示された半導体装置を製造する工程の最終工程を説明するための断面図である。

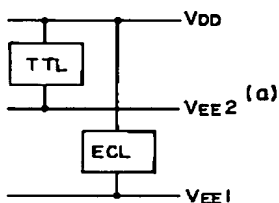
【符号の説明】

1	NPNトランジスタ	イド層
2	NMOS	71
15	NPNトランジスタ	72、74
領域		73、75
16	NMOS領域	76
21	P型基板	77
22	第1の埋込層	78
23	第2の埋込層	79
24	第3の埋込層	20 80、81
25	第4の埋込層	82
26	N型エピ層	83
27	Pウェル	84
28	Nウェル	85
31	ベース領域	86
32	エミッタ領域	87
33	エミッタ電極	88
34	ドレイン領域	89
35	ソース領域	90
36	電極領域	30 91

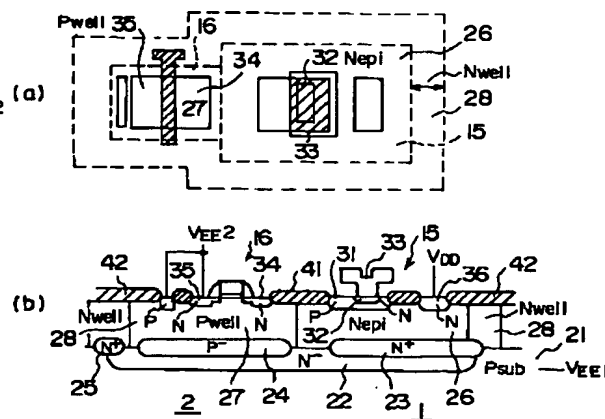
絶縁分離膜
フィールド酸化膜
Pウェル
酸化膜
窒化膜
フィールド酸化膜
酸化膜
N⁺型拡散層
酸化膜
ポリシリコン層
タングステンシリサ

ゲート電極
ソース領域
ドレイン領域
HTO膜
側壁絶縁膜
絶縁膜
N⁺型拡散層
P⁺型拡散層
P⁻型拡散層
HTO膜
開口部
ポリシリコン層
N⁺型拡散層
エミッタ引出部
酸化膜
BPSG膜
開口部
アルミニウム電極

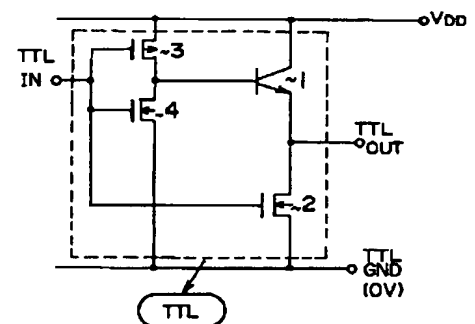
【図1】



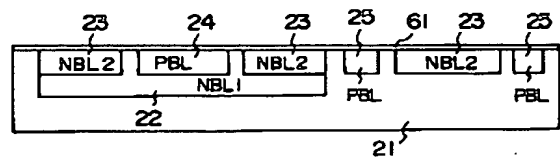
【図2】



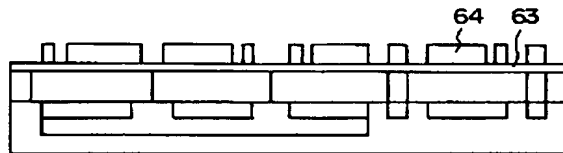
【図3】



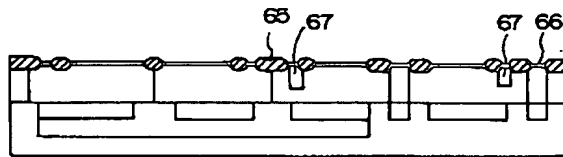
【図 6】



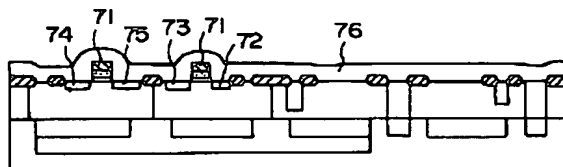
【図 8】



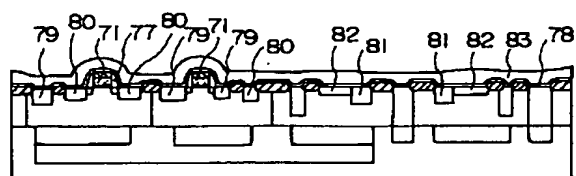
【図 10】



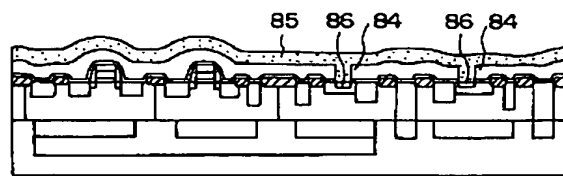
【図 12】



【図13】



【図14】



【図15】

